

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131013

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/78	3 0 1 X
		7514-4M		3 0 1 S

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平5-293898

(22) 出願日 平成5年(1993)10月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 丸山 康

東京都品川区北品川6丁目7番35号 ソニー株式会社内

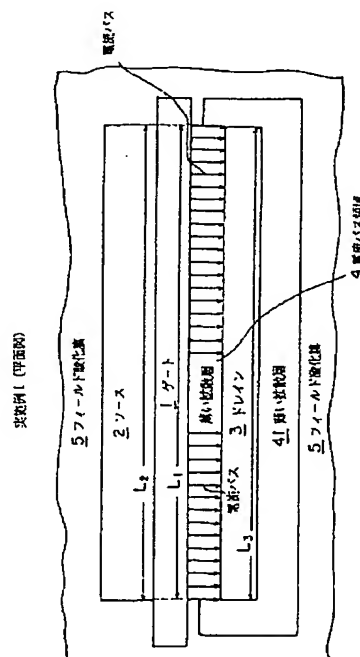
(74) 代理人 弁理士 高月 亨

(54) 【発明の名称】 MOS型トランジスタ装置

(57) 【要約】

【目的】 ゲートとソース/ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタについて、電界・電流の集中を防止し、ブレークダウンなどの不都合を防止する。

【構成】 ゲート1とソース2/ドレイン3とを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域4が存在するMOS型トランジスタにおいて、①ゲートに隣接するソースの幅をドレインの幅とほぼ等しい構成とする。②ドレインの少なくともゲートに対向する部分の端部を曲面または傾斜部に構成する。③ドレインの端部に対向するゲート端部の長さを延設する。



【特許請求の範囲】

【請求項1】ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、

ゲートに隣接するソースの幅をドレインの幅とほぼ等しい構成としたことを特徴とするMOS型トランジスタ。

【請求項2】ドレインの幅をソースの幅に合わせて形成する構造としたことを特徴とする請求項1に記載のMOS型トランジスタ。

【請求項3】ソースのゲートと隣接する部分の幅をドレインの幅に合わせて形成する構造としたことを特徴とする請求項1に記載のMOS型トランジスタ。

【請求項4】ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、

ドレインの少なくともゲートに対向する部分の端部を曲面または傾斜部に構成したことを特徴とするMOS型トランジスタ。

【請求項5】ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、

ドレインの少なくともゲートに対向する部分の端部に対向する部分のゲート長を延設して構成したことを特徴とするMOS型トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOS型トランジスタに関する。特に、高耐圧MOS型トランジスタとして好適に利用できるトランジスタに関するものである。本発明は例えば、高耐圧MOSFETや、CCD高耐圧MOSトランジスタとして利用することができる。本明細書中、「MOS」の語は、金属-酸化物-半導体構造に限らず、配線-絶縁材-半導体構造をとる広義のMOSとして使用される。

【0002】

【従来の技術】従来より、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタが知られている。

【0003】例えば、高耐圧を実現するため、ゲートに対してドレインのみ、またはソース／ドレイン両側がオフセットされた構造を持つMOSFETが知られているが、このような構造の場合、通常、ソース／ドレイン拡散層のチャネル幅方向のエッジでは、素子分離領域に対してもオフセットをとっている。即ち、従来のMOSFETの平面図である図5（ドレイン側にオフセット層をもつ場合の例）に示すように、ゲート1とドレイン3と

の間は薄い拡散層となっていて、ここが電流バス領域4（チャネル領域）となる。図5中、2はソース、41は薄い拡散層、5は素子分離領域をなすフィールド酸化膜である。

【0004】上記構造をとる結果、図5中に矢印で模式的に示すように、ソース／ドレイン拡散層のチャネル幅方向のゲート側エッジ（図5のA部）では、電界及び電流が集中するために、ブレイクダウン（Break down）が発生しやすい。

10 【0005】ゲート長 L_1 は、図示の場合ソース2の幅 L_2 で決まり、ドレインの長さ L_1' は、このゲート長 L_1 よりも小さい（ $L_1' < L_1$ ）からである。

【0006】上記の電界・電流が集中する現象は、オフセット層の不純物濃度を下げて、ゲート電圧を上げた場合に顕著である。その場合、チャネル抵抗はゲート電圧を上げているので低くなるが、オフセット層では不純物濃度が低いために抵抗が高くなり、両者を比較すると、オフセット層の抵抗の方が高くなる。そのため、ドレイン電圧の大部分はオフセット層にかかる。

20 【0007】このような条件では電流がオフセット層を流れる際に抵抗による電圧降下が大きくなる。そのためソース／ドレイン拡散層のチャネル幅方向のエッジでは電界及び電流が集中するためにブレイクダウンが発生しやすくなる。

【0008】上記のことは本発明者の検討により明らかになったことであるが、これは、ホットキャリア効果による発光場所を調べた実験で裏付けられている。図6はドレイン拡散層3のチャネル幅方向のゲート側エッジでの発光をホットエレクトロン解析装置にて測定した結果であるが、図6にHで示す箇所で発光がなされていた。なおこの測定は、長さ $L = 3 \mu m$ 、幅 $W = 50 \mu m$ 、ドレイン側オフセット長 $3 \mu m$ のNch MOSFETを試料とした。拡散層の濃度は $4 \times 10^{12} / cm^2$ であり、 $V_g = 33$ 、 $V_d = 18$ の条件であった。

【0009】また上記のことは、本発明者によるチャネルの横方向電界のシミュレーションでも裏付けられた。

【0010】

【発明の目的】本発明は上記従来技術の問題点を解決して、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタについて、電界・電流の集中を防止し、もってブレイクダウンなどの不都合を防止したMOS型トランジスタを提供することを目的とする。

【0011】

【問題点を解決するための手段】本出願の請求項1の発明は、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、ゲートに隣接するソースの幅をドレインの幅

とはほぼ等しい構成としたことを特徴とするMOS型トランジスタである。

【0012】この発明は、図1及び図2に例示するように、ゲート1とソース2／ドレイン3とを備えるとともに、ゲート1とソース2またはドレイン3の少なくともいずれかとの間には電流バス領域4が存在するMOS型トランジスタにおいて、ゲート1に隣接するソース2の幅 L_1 、をドレイン3の幅 L_2 、とはほぼ等しい構成としたものである。

【0013】この結果、ゲート長 L_1 、とドレイン3の長さ L_2 、とはほぼ $L_1 = L_2$ 、となり、各図に矢印で示すように電流はゲート1からドレイン3にほぼ対応して真っ直ぐに進み、電界・電流の集中は起こらない。

【0014】本出願の請求項2の発明は、ドレインの幅をソースの幅に合わせて形成する構造としたことを特徴とする請求項1に記載のMOS型トランジスタである（後述する図1に示す構造の説明参照）。

【0015】本出願の請求項3の発明は、ソースのゲートと隣接する部分の幅をドレインの幅に合わせて形成する構造としたことを特徴とする請求項1に記載のMOS型トランジスタである（後述する図2に示す構造の説明参照）。

【0016】本出願の請求項4の発明は、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、ドレインの少なくともゲートに対向する部分の端部を曲面または傾斜部に構成したことを特徴とするMOS型トランジスタである。

【0017】この発明は、図3に例示するように、ゲート1とソース2／ドレイン3とを備えるとともに、ゲート1とソース2またはドレイン3の少なくともいずれかとの間には電流バス領域4が存在するMOS型トランジスタにおいて、ドレイン3の少なくともゲート1に対向する部分の端部31を曲面または傾斜部に構成したものである。

【0018】この結果、図3に矢印で示すように、従来電界・電流の集中が生じていたドレイン3の端部31は、ここが丸まった曲面、あるいはカットされた斜め平面になっているので、一点集中でなく分散され、よって電界・電流の集中は防止される。

【0019】本出願の請求項5の発明は、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタにおいて、ドレインの少なくともゲートに対向する部分の端部に対向する部分のゲート長を延設して構成したことを特徴とするMOS型トランジスタである。

【0020】この発明は、図4に示すように、ゲート1とソース2／ドレイン3とを備えるとともに、ゲート1

とソース2またはドレイン3の少なくともいずれかとの間には電流バス領域4が存在するMOS型トランジスタにおいて、ドレイン3の少なくともゲート1に対向する部分の端部（符号31付近）に対応する部分のゲート長を延設して構成した（延設部を11a、11bで示す）ものである。

【0021】この結果、図4に矢印で示すようにゲート1からドレイン3の端部31に向かう電流は、ゲート1が長くなった部分だけ分散してドレイン3方向に向かうことになり、これによって電界・電流の集中が抑制される。

【0022】

【実施例】以下、本発明の実施例を、図面を参照して説明する。但し当然のことではあるが、本発明は以下の実施例により限定を受けるものではない。

【0023】この実施例は、本実施例を、高耐圧ドライバICに用いるMOSFETに適用したものである。図1を参照する。

【0024】このMOSFETは、図1に示すように、ゲート1とソース2／ドレイン3とを備え、ゲート1とドレイン3との間には電流バス領域4が存在する構造において、ドレイン3の幅 L_2 、をソース2の幅 L_1 、に合わせて形成したことにより、ゲート1に隣接するソース2の幅 L_1 、をドレイン3の幅 L_2 、とはほぼ等しい構成としたMOS型トランジスタである。

【0025】本実施例では、具体的には、素子分離領域とソース／ドレイン拡散層をソース／ドレイン部分でチャンネル幅方向に広げて、ソース／ドレイン拡散層の幅をゲート幅と同じにすることにより、この構造を得た。

【0026】これにより、図の矢印の如く電流バスが平均化し、ソース／ドレイン拡散層のチャンネル幅方向のエッジで電界及び電流が集中するのを防ぐことができる。

【0027】本実施例のMOSFETを得るための製造方法は、従来のMOSFETと同じでよい。但し、以下のマスクパターンをそれぞれ変更する。即ち、フィールド酸化膜（LOCOS等）形成マスク、フィールド酸化膜領域の相似形で形成するマスク（チャンネルストップ等）、及びソース／ドレインマスクを、本例に対応させて変更するだけで、あとは従来の手法に従って製造することができる。

【0028】本実施例によれば、ゲートに対してドレインまたはソース／ドレインがオフセットされた構造を持つMOSFETにおいて、ソース／ドレイン拡散層のチャンネル幅方向のエッジで電界及び電流が集中するのを防ぐことができた。

【0029】また本実施例では、次のような具体的な効果がもたらされた。

①MOSFETの耐圧がプロセス変更無しに向上する。

②同じバイアス条件では基板電流が減少するため、CMOSでのラッチアップの可能性が減る。

③ホットキャリア発光によるフォトンが他の素子（拡散層）に届いて少数キャリアを発生させることがなくなる。

④製造に際してはマスクのパターン変更だけで済むために、工程数も変わらず、それによるコストアップもない。

⑤単体MOSFETのサイズはほとんど、もしくは全く変わらない。

【0030】実施例2

この実施例も、MOSFETに本発明を適用したものである。図2を参照する。

【0031】この実施例も実施例1と同様に、ゲート1とソース2／ドレイン3とを備え、ゲート1とドレイン3との間には電流バス領域4が存在する構造において、ゲート1に隣接するソース2の幅 L_1 をドレイン3の幅 L_2 とほぼ等しい構成としたもので、この実施例ではこの構成を、ソース2のゲート1と隣接する部分21の幅 L_1 をドレイン3の幅 L_2 に合わせることで、実現したものである。

【0032】より具体的には、本実施例では、ゲート1下の素子分離領域をソース／ドレイン拡散層の幅に合わせて縮めることにより、この構造を得た。

【0033】本実施例は、単体MOSFETとしてのサイズの増大はない。

【0034】動作は実施例1と同様である。また、実施例1と同様のマスクを用いて製造できる。

【0035】この実施例も、実施例1と同様の効果を有する。

【0036】実施例3

この実施例は、図3に示すように、ゲート1とソース2／ドレイン3とを備え、ゲート1とドレイン3の間には電流バス領域4が存在する構造において、ドレイン3の少なくともゲート1に対向する部分の端部31を曲面または傾斜部に構成した（図示例では、ドレイン3の端部31をなす角部を丸めることにより、曲面状にした）ものである。図に矢印で示すように、電界・電流の集中を防止できる。

【0037】この実施例で、ソース／ドレイン拡散層のチャネル幅方向のエッジのゲート側を丸める場合、その円の半径は少なくともソース／ドレインコンタクト径（一般的な正方形のコンタクトの場合、一辺の長さ）の半分以上とする。半径がソース／ドレイン拡散層のチャネル方向の長さの半分程度であれば、より効果的に電界、電流集中を抑えられる。

【0038】あるいは斜め（45°前後）にカットする場合、この場合もカットされた辺の長さは円の場合と同様とする。

【0039】この実施例は、ソース／ドレイン拡散層のチャネル幅方向のエッジのゲート側を丸める、あるいは斜めにカットする構造にすることで、効果が得られ、こ

れによれば修正はソース／ドレインマスクのみで済む利点がある。サイズの増大もない。

【0040】なおオフセット層の長さがチャネル幅方向で変わってしまうが、 L/W 比の小さいMOSFETの場合はこれは無視できるし、 L/W の比較的大きな場合にも、最初に単体MOSFETで特性を合わせ込めれば問題にならない。

【0041】本実施例の製造は、従来技術に対して、ソース／ドレイン形成用のマスクを変更するだけでよい。

【0042】本実施例も、前記各例とほぼ同様の効果を発揮することができる。

【0043】実施例4

この実施例は、図4に示すように、ゲート1とソース2／ドレイン3とを備え、ゲート1とドレイン3の間には電流バス領域4が存在する構造において、ドレイン3の少なくともゲート1に対向する部分の端部に対応する部分のゲート長を延設して構成したものである。

【0044】延設して長くした部分を符号11a、11bで示す。また本実施例では、この延設部11a、11bのドレイン3に対向する部分を、ドレイン3の端部31を囲うように曲面状（例えば端部31とほぼ等距離を示す曲面状）に形成して、図示矢印の如く、電界・電流の集中を更に効率良く防止できるようにした。

【0045】本実施例ではソース／ドレイン拡散層のチャネル幅方向のエッジ付近のゲート長を長くすることで電流駆動能力が下がり、そこを流れる電流が減るために、ソース／ドレイン拡散層のチャネル幅方向のエッジでの電流、電界集中が抑えられる。サイズの増大もない。

【0046】本実施例の製造は、従来技術に対して、ゲート形成用のマスクを変更するだけでよい。

【0047】本実施例も、前記各例とほぼ同様の効果を発揮することができる。

【0048】なお上述した各実施例ではドレイン側のみオフセットがかかっている場合について述べたが、ソース／ドレイン両側にオフセットがかかっている場合も同様である。

【0049】

【発明の効果】本発明によれば、ゲートとソース／ドレインとを備えるとともに、ゲートとソースまたはドレインの少なくともいずれかとの間には電流バス領域が存在するMOS型トランジスタについて、電界・電流の集中を防止し、もってブレイクダウンなどの不具合を防止したMOS型トランジスタを提供することができる。

【図面の簡単な説明】

【図1】 実施例1の構造を平面構造で示すものである。

【図2】 実施例2の構造を平面構造で示すものである。

【図3】 実施例3の構造を平面構造で示すものであ

る。

【図4】 実施例4の構造を平面構造で示すものであ

る。

【図5】 従来技術の構造を平面構造で示すものであ

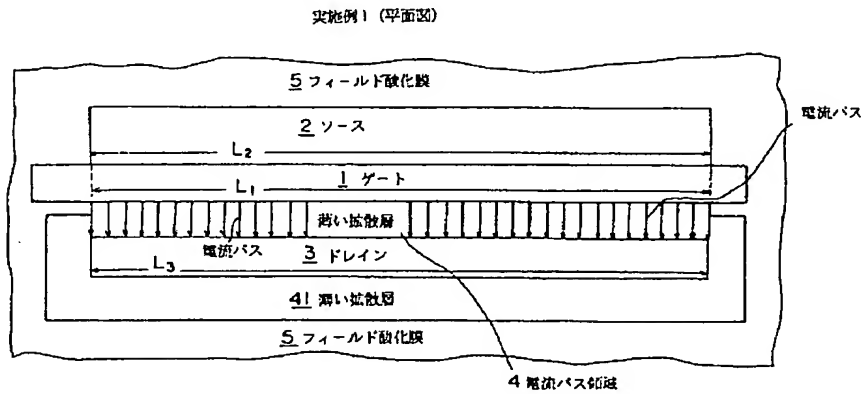
る。

【図6】 従来技術の問題点を示す図である。

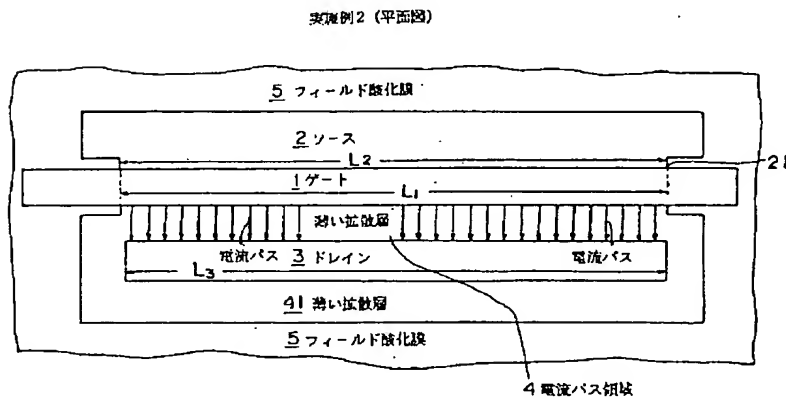
*【符号の説明】

- | | |
|---|------------------|
| 1 | ゲート |
| 2 | ソース |
| 3 | ドレイン |
| 4 | 電流バス領域（チャネル領域） |
| 5 | 素子分離領域（フィールド酸化膜） |

【図1】

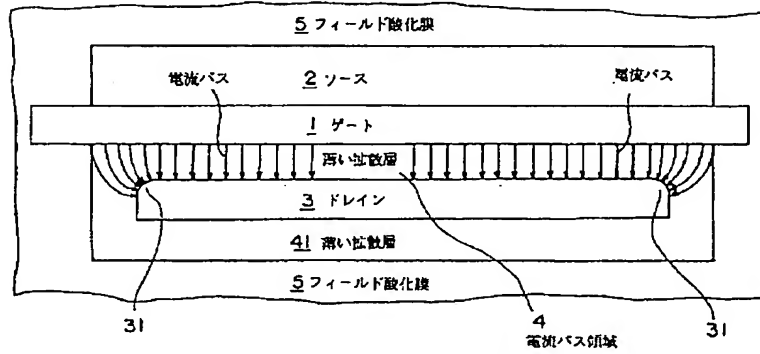


【図2】



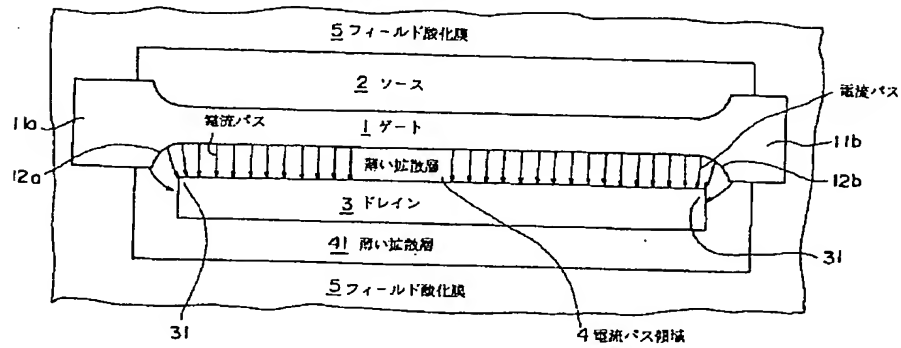
【図3】

実施例3 (平面図)



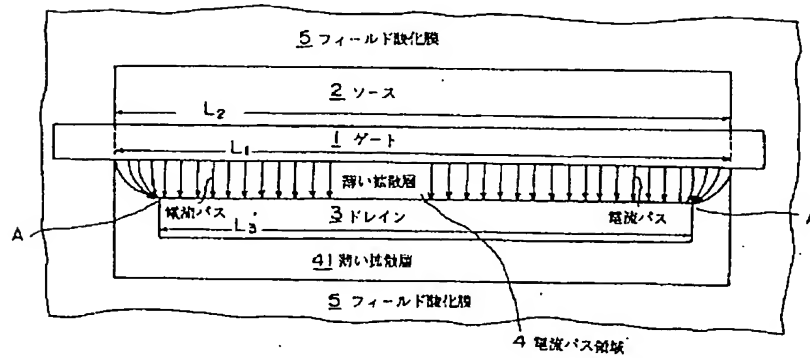
【図4】

実施例4 (平面図)



【図5】

従来のMOSFET (平面図)



(7)

特開平7-131013

【図6】

従来技術の問題点

